

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-86733

(P2003-86733A)

(43) 公開日 平成15年3月20日 (2003.3.20)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト (参考)
H 0 1 L 23/12	5 0 1	H 0 1 L 23/12	5 0 1 W
25/065		25/08	5 0 1 B
25/07			Z
25/18			

審査請求 未請求 請求項の数19 O L (全 12 頁)

(21) 出願番号 特願2001-274600(P2001-274600)

(22) 出願日 平成13年9月11日 (2001.9.11)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 中村 禎志

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 安藤 大蔵

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

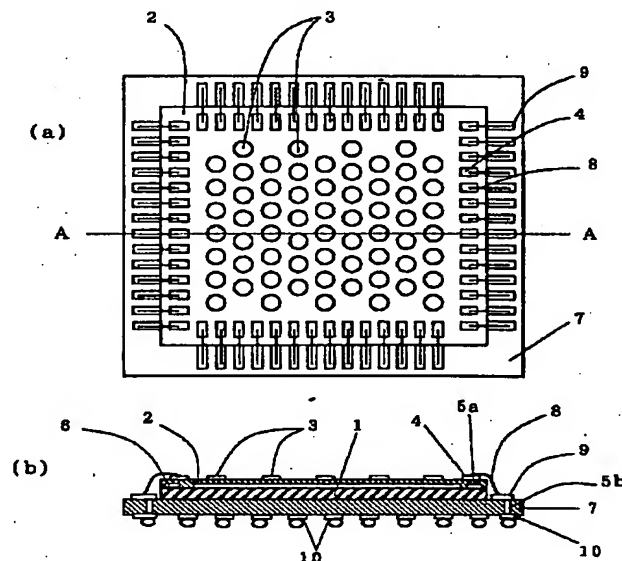
最終頁に続く

(54) 【発明の名称】 半導体装置とその製造方法およびそれを用いた電子機器

(57) 【要約】

【課題】 携帯電話等の移動体通信端末に使用される半導体装置において、従来の半導体パッケージでは設計の自由度が低く、多ピン I C への適用が困難であり、さらには実装面積の縮小化を達成できないという課題を解決し、いわゆるチップサイズパッケージ (C S P) を可能とし、電子機器の小型、軽量化に寄与することができる半導体装置を提供する。

【解決手段】 主面上に集積回路および電極端子6が形成された半導体基板1の主面側および裏面側に、その半導体基板1の電極端子6に接続する第1の電極パッド3が形成された第1の再配線板2と、同じく半導体基板1の電極端子6に接続する第2の電極パッド10が形成された第2の再配線板7とをそれぞれ配置する。



1

## 【特許請求の範囲】

【請求項 1】主面上に集積回路および電極端子が形成された半導体基板と、

前記半導体基板の一方の面側に配置され、その少なくとも片面に配線および複数の第 1 の電極パッドが形成された第 1 の再配線板と、

前記半導体基板の他方の面側に配置され、その少なくとも片面に配線および複数の第 2 の電極パッドが形成された第 2 の再配線板とを備え、

前記半導体基板上の前記電極端子と前記第 1 の電極パッドと前記第 2 の電極パッドとがそれぞれ任意の端子間で電氣的に接続されていることを特徴とする半導体装置。

【請求項 2】第 1 の再配線板が半導体基板の主面上に配置され、第 2 の再配線板が前記半導体基板の裏面上に配置されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】第 1 の再配線板が半導体基板の裏面上に配置され、第 2 の再配線板が前記半導体基板の主面上に配置されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】第 1 の再配線板および第 2 の再配線板が、それぞれ少なくとも 1 層の絶縁材料と少なくとも 1 層の配線層より形成された再配線板であることを特徴とする請求項 1 から 3 のいずれかに記載の半導体装置。

【請求項 5】第 1 の再配線板の外周部に位置する第 1 の電極パッドと第 2 の再配線板の外周部に位置する第 2 の電極パッドとをワイヤボンディング接続したことを特徴とする請求項 1 から 4 のいずれかに記載の半導体装置。

【請求項 6】第 1 の再配線板と第 2 の再配線板とを連続する一枚の配線基板によって構成し、前記第 2 の再配線板の第 2 の電極パッド非形成面上に半導体基板を載置し、前記第 1 の再配線板を前記半導体基板の裏面上に折り曲げることにより、第 1 の電極パッドが前記第 1 の再配線板の外面に形成されていることを特徴とする請求項 1 から 4 のいずれかに記載の半導体装置。

【請求項 7】一枚の配線基板よりなる第 1 の再配線板と第 2 の再配線板とがその平面形状において、前記第 1 の再配線板の一つの辺が前記第 2 の再配線板の一つの辺と接続して半導体基板の裏面上に折り曲げられていることを特徴とする請求項 6 記載の半導体装置。

【請求項 8】一枚の配線基板よりなる第 1 の再配線板と第 2 の再配線板がその平面形状において、前記第 1 の再配線板が三角形形状を有する 4 個の第 1 の再配線板より構成され、

前記第 2 の再配線板が 1 個の四角形状を有する第 2 の再配線板よりなり、

前記 4 個の第 1 の再配線板のそれぞれ一つの辺が前記第 2 の再配線板の四つの辺にそれぞれ接続しており、

前記 4 個の第 1 の再配線板がそれぞれ、前記第 2 の再配線板の上面に配置された半導体基板の平面を 2 本の対角

2

線で分割して形成された 2 等辺三角形の形状にほぼ等しい形状を備えて前記半導体基板の裏面上に折り曲げられていることを特徴とする請求項 6 記載の半導体装置。

【請求項 9】一枚の配線基板よりなる第 1 の再配線板と第 2 の再配線板がその平面形状において、前記第 1 の再配線板が四角形状を有する 4 個の第 1 の再配線板より構成され、

前記第 2 の再配線板が 1 個の四角形状を有する第 2 の再配線板よりなり、

10 前記 4 個の第 1 の再配線板のそれぞれ一つの辺が前記第 2 の再配線板の四つの辺の少なくとも一部にそれぞれ接続しており、

前記 4 個の第 1 の再配線板が、前記第 2 の再配線板の上面に配置された半導体基板の平面をほぼ覆うように前記半導体基板の裏面上に折り曲げられていることを特徴とする請求項 6 記載の半導体装置。

【請求項 10】一枚の配線基板が、その内層部に複数の配線層が形成された多層配線基板である請求項 6 から 9 のいずれかに記載の半導体装置。

20 【請求項 11】第 1 の再配線板および第 2 の再配線板の面積が、いずれも半導体基板の面積にほぼ等しい面積を有することを特徴とする請求項 1 から 10 のいずれかに記載の半導体装置。

【請求項 12】請求項 1 から 11 のいずれかに記載の半導体装置を複数個積層し、それぞれの電極パッドによって電氣的に接続されていることを特徴とする積層半導体装置。

【請求項 13】請求項 1 から 11 のいずれかに記載の半導体装置または請求項 12 に記載の積層半導体装置の上面に、請求項 1 から 10 のいずれかに記載の半導体装置または半導体素子または電子部品を搭載したことを特徴とする積層半導体装置。

【請求項 14】半導体基板がその断面形状において、角部が研磨された角丸四角形状または円弧状であることを特徴とする請求項 6 から 11 のいずれかに記載の半導体装置または請求項 12、13 のいずれかに記載の積層半導体装置。

【請求項 15】集積回路および電極端子が形成された半導体基板の主面上に少なくとも 1 層の絶縁層よりなる第 1 の再配線板を形成する工程と、

40 前記第 1 の再配線板上に複数の第 1 の電極パッドを形成する工程と、

少なくとも 1 層の絶縁材よりなる第 2 の再配線板上に複数の第 2 の電極パッドを形成する工程と、

前記第 2 の再配線板上の電極パッド非形成面上に前記第 1 の再配線板が載置された前記半導体基板を載置する工程と、

前記第 1 の再配線板の第 1 の電極パッドと前記第 2 の再配線板の第 2 の電極パッドとをワイヤボンディング接続する工程とを備える半導体装置の製造方法。

50

【請求項16】集積回路および電極端子が形成された半導体基板の主面上に、複数の第1の電極パッドが形成された絶縁材よりなる第1の再配線板を載置する工程と、第2の再配線板上に複数の第2の電極パッドを形成する工程と、

前記第2の再配線板の電極パッド非形成面上に前記第1の再配線板を載置した前記半導体基板を載置する工程と、

前記第1の再配線板の第1の電極パッドと前記第2の再配線板の第2の電極パッドとをワイヤボンディング接続する工程とを備える半導体装置の製造方法。

【請求項17】一枚の配線基板の少なくとも片面に複数の第1の電極パッドを有する第1の再配線板の領域と、複数の第2の電極パッドを有する第2の再配線板の領域とを形成する工程と、

前記第2の再配線板上の第2の電極パッドに半導体基板をフェースダウン実装する工程と、

前記配線基板の前記第1の再配線板の領域を前記半導体基板の裏面上に折り曲げる工程とを備える半導体装置の製造方法。

【請求項18】請求項1から11のいずれかに記載の半導体装置または請求項15から17のいずれかに記載の製造方法により形成された半導体装置を複数個積層して前記半導体装置の電極パッド間を電氣的に接続する工程と、

前記半導体装置の間隙または全体を樹脂モールドする工程とを備える積層半導体装置の製造方法。

【請求項19】請求項1から18のいずれかに記載の半導体装置または積層半導体装置を用いた電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は携帯電話等の移動体通信端末に使用される半導体装置、特に限られた基板面積において高密度に半導体ベアチップを集積することができる半導体装置の実装構造に関する。

【0002】

【従来の技術】近年、急速に普及が拡大している携帯電話やPDAを中心とする移動体通信機器の小型、軽量化に関する技術競争が熾烈を極めている。その中心はLSI周辺の高密度実装技術であり、LSIの多ピン化、狭ピッチ化への急速な進展により半導体パッケージ技術はベアチップのフリップチップ実装によるCSP（チップサイズパッケージ）および外部端子へのPPGA、BGA実装が一般化してきている。

【0003】さらに最近では、実装面積の縮小化のために一つのパッケージ内に複数のICチップを3次元実装する技術が注目されつつあり、このようなチップ積層パッケージにより、携帯電話等のモバイル電子機器の小型・高機能・高速化が図られている。

【0004】近年開発が成されている3次元実装構造で

は、ICチップにスルホールを形成して半導体基板の両面を相互接続する方法や、複数のICチップをフレキシブル基板にワイヤボンディング接続して回路基板を形成した後、そのフレキシブル基板を折り曲げることにより積層構造とする方法が報告されている。

【0005】

【発明が解決しようとする課題】しかしながらこのような従来の実装構造では、ICチップの接続端子を一旦チップ周辺に引き出したのち積層された各ICチップ間の上下接続を行っているため、設計の自由度が低く、また多ピンICへの適用が困難であり、さらにはこのような従来の3次元積層構造では実装面積の縮小化、いわゆるCSP（チップサイズパッケージ）が達成できないという課題がある。

【0006】本発明は上記従来の課題を解決するものであり、携帯電話等の移動体通信機器の小型化、軽量化を達成するためにICチップの両面に複数の電極パッドを配置した半導体装置を形成し、この半導体装置を複数個積層して相互接続を行うことにより、実装面積の縮小化すなわちCSPを図ることができる半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するために本発明は、主面上に集積回路および電極端子が形成された半導体基板の主面側および裏面側に、その半導体基板の電極端子に接続する第1の電極パッドが形成された第1の再配線板と、同じく半導体基板の電極端子に接続する第2の電極パッドが形成された第2の再配線板とをそれぞれ配置したものである。

【0008】

【発明の実施の形態】本発明の請求項1に記載の発明は、主面上に集積回路および電極端子が形成された半導体基板と、その半導体基板の一方の面側に配置され、その少なくとも片面に配線および複数の第1の電極パッドが形成された第1の再配線板と、半導体基板の他方の面側に配置され、その少なくとも片面に配線および複数の第2の電極パッドが形成された第2の再配線板とを備え、半導体基板上の電極端子と第1の電極パッドと第2の電極パッドとをそれぞれ任意の端子間で電氣的に接続したものであり、半導体装置のパッケージングをほぼベアチップの大きさにすることができ、さらに半導体素子の電極端子をベアチップの両面に形成することができるため半導体装置を3次元的に積層して実装することが可能となり、電子機器の小型、軽量化に有効である。

【0009】本発明の請求項2または3に記載の発明は、請求項1に記載の半導体装置に関し、第1の再配線板を半導体基板の主面上または裏面上に配置し、第2の再配線板を半導体基板のそれぞれ反対面に配置したことを特徴とするものであり、半導体装置の製造条件によって自由に選択することができる。

5

【0010】本発明の請求項4に記載の発明は、請求項1から3のいずれかに記載の半導体装置に関し、第1の再配線板および第2の再配線板をそれぞれ少なくとも1層の絶縁材料と少なくとも1層の配線層より形成した再配線板としたものであり、用いられる電子機器の機能によって再配線板を多層配線構造とすることができる。

【0011】本発明の請求項5に記載の発明は、請求項1から4のいずれかに記載の半導体装置に関し、第1の再配線板の外周部に位置する第1の電極パッドと第2の再配線板の外周部に位置する第2の電極パッドとをワイヤボンディング接続したことを特徴とするものである。

【0012】本発明の請求項6に記載の発明は、請求項1から4のいずれかに記載の半導体装置に関し、第1の再配線板と第2の再配線板とを連続する一枚の配線基板によって構成し、第2の再配線板の第2の電極パッド非形成面上に半導体基板を載置し、第1の再配線板を半導体基板の裏面上に折り曲げることにより、第1の電極パッドを第1の再配線板の外面に形成したことを特徴とするものであり、半導体素子と再配線板を別工程で作成することができ、本発明に関わる半導体装置の生産歩留まりの向上に寄与できる。

【0013】本発明の請求項7に記載の発明は、請求項6に記載の半導体装置に関し、一枚の配線基板よりなる第1の再配線板と第2の再配線板とがその平面形状において、第1の再配線板の一つの辺が第2の再配線板の一つの辺と接続して半導体基板の裏面上に折り曲げられていることを特徴とするものである。

【0014】本発明の請求項8に記載の発明は、請求項6に記載の半導体装置に関し、一枚の配線基板よりなる第1の再配線板と第2の再配線板がその平面形状において、第1の再配線板が三角形形状を有する4個の第1の再配線板より構成され、第2の再配線板が四角形状を有する1個の第2の再配線板よりなり、4個の第1の再配線板のそれぞれ一つの辺が第2の再配線板の四つの辺にそれぞれ接続しており、かつ4個の第1の再配線板がそれぞれ第2の再配線板の上面に配置された半導体基板の平面を2本の対角線で分割して形成された2等辺三角形の形状にほぼ等しい形状を備えて半導体基板の裏面上に折り曲げられていることを特徴とするものであり、半導体素子の電極端子を再配線板上の電極パッドに再配線する場合の配線間隔を広く設けることができ、生産歩留まりの向上と共に信頼性を高めることができる。

【0015】本発明の請求項9に記載の発明は、請求項6に記載の半導体装置に関し、一枚の配線基板よりなる第1の再配線板と第2の再配線板がその平面形状において、第1の再配線板が四角形状を有する4個の第1の再配線板より構成され、第2の再配線板が1個の四角形状を有する第2の再配線板よりなり、4個の第1の再配線板のそれぞれ一つの辺が第2の再配線板の四つの辺の少なくとも一部にそれぞれ接続しており、かつ4個の第1

6

の再配線板がそれぞれ第2の再配線板の上面に配置された半導体基板の平面をほぼ覆うように半導体基板の裏面上に折り曲げられていることを特徴とするものである。

【0016】本発明の請求項10に記載の発明は、請求項6から9のいずれかに記載の半導体装置に関し、一枚の配線基板としてその内層部に複数の配線層を形成した多層配線基板を用いたことを特徴とするものであり、多ピンの半導体基板の再配線を限られた面積の中で実施することができる。

【0017】本発明の請求項11に記載の発明は、請求項1から10のいずれかに記載の半導体装置に関し、第1の再配線板および第2の再配線板の面積がいずれも半導体基板の面積にほぼ等しい面積を有することを特徴とするものであり、マザー配線基板上の実装面積をほぼベアチップの面積と等しくすることができ電子機器の小型化に寄与できる。

【0018】本発明の請求項12に記載の発明は、請求項1から11のいずれかに記載の半導体装置を複数個積層し、それぞれの電極パッドによって電気的に接続したことを特徴とするものであり、色々な機能を有する半導体装置を3次元的に積層することができるため電子機器の小型化に有効である。

【0019】本発明の請求項13に記載の発明は、請求項1から11のいずれかに記載の半導体装置または請求項12に記載の積層半導体装置の上面に、請求項1から10のいずれかに記載の半導体装置または半導体素子または電子部品を搭載したことを特徴とするものである。

【0020】本発明の請求項14に記載の発明は、請求項6から11のいずれかに記載の半導体装置または請求項12、13のいずれかに記載の積層半導体装置に関し、半導体基板の端部における断面形状を角部が研磨された角丸四角形状または円弧状としたことを特徴とするものであり、第1の再配線板と第2の再配線板との接続部における配線にかかる折り曲げ応力を緩和でき接続信頼性を向上することができる。

【0021】本発明の請求項15に記載の発明は、集積回路および電極端子が形成された半導体基板の主面上に少なくとも1層の絶縁層よりなる第1の再配線板を形成する工程と、第1の再配線板上に複数の第1の電極パッドを形成する工程と、少なくとも1層の絶縁材よりなる第2の再配線板上に複数の第2の電極パッドを形成する工程と、第2の再配線板上の電極パッド非形成面上に第1の再配線板が載置された半導体基板を載置する工程と、第1の再配線板の第1の電極パッドと第2の再配線板の第2の電極パッドとをワイヤボンディング接続する工程とを備える半導体装置の製造方法であり、高密度実装性に優れた半導体装置を提供することができる。

【0022】本発明の請求項16に記載の発明は、集積回路および電極端子が形成された半導体基板の主面上に、複数の第1の電極パッドが形成された絶縁材よりな

7

る第1の再配線板を載置する工程と、第2の再配線板上に複数の第2の電極パッドを形成する工程と、第2の再配線板の電極パッド非形成面上に第1の再配線板を載置した半導体基板を載置する工程と、第1の再配線板の第1の電極パッドと第2の再配線板の第2の電極パッドとをワイヤボンディング接続する工程とを備える半導体装置の製造方法であり、請求項15に記載の発明と同様に高密度実装性に優れた半導体装置を提供することができる。

【0023】本発明の請求項17に記載の発明は、一枚の配線基板の少なくとも片面に複数の第1の電極パッドを有する第1の再配線板の領域と、複数の第2の電極パッドを有する第2の再配線板の領域とを形成する工程と、第2の再配線板上の第2の電極パッドに半導体基板をフェースダウン実装する工程と、配線基板の第1の再配線板の領域を半導体基板の裏面上に折り曲げる工程とを備える半導体装置の製造方法であり、再配線板を別工程で作成することができるため半導体装置の生産歩留まりの向上に有効である。

【0024】本発明の請求項18に記載の発明は、請求項1から11のいずれかに記載の半導体装置または請求項15から17のいずれかに記載の製造方法により形成された半導体装置を複数個積層してその各半導体装置の電極パッド間を電気的に接続する工程と、各半導体装置の間隙または全体を樹脂モールドする工程とを備える積層半導体装置の製造方法であり、半導体装置を3次元的に積み重ねた状態で電気的に接続してマザー配線基板等に実装することができ、電子機器の小型化に有効な積層半導体装置を提供することができる。

【0025】本発明の請求項19に記載の発明は、請求項1から18のいずれかに記載の半導体装置または積層半導体装置を電子機器に使用したものであり、携帯電話等の携帯型小型軽量電子機器を実現することができる。

【0026】次に、本発明の実施の形態について図面を参照しながら説明する。

【0027】（第1の実施の形態）図1は本発明の第1の実施の形態における半導体装置の構造を示すものであり、(a)は平面図、(b)は図1(a)のA-A線における断面図である。

【0028】図1(a)、(b)に示すように、集積回路等（図示せず）が主面に形成された半導体基板（以下、ベアチップという）1の上面には、例えばポリイミドフィルム等の有機質絶縁材料または酸化珪素膜等の無機質絶縁材料で作られた第1の再配線板2が載置されている。第1の再配線板2の上面には、任意の位置に配置された第1の電極パッド3が形成され、第1の電極パッドの一部は周辺部に配置されて接続端子4を形成している。

【0029】接続端子4は第1の再配線板2に設けられた貫通孔5aを介してベアチップ1の電極端子6に電気

8

的に接続することにより、ベアチップ1の集積回路より引き出された配線の一部は、第1の再配線板2の上面の任意の位置に設けられた複数の第1の電極パッド3に接続されている。

【0030】次に、このように構成されたベアチップ1は、図1に示すようにアラミドエポキシ樹脂、ポリイミドフィルム等の有機質絶縁材料または有機質絶縁材に無機質材料を混合したコンポジット絶縁材料よりなる第2の再配線板7の上面にベアチップ1の裏面を張り合わせて載置される。

【0031】第1の再配線板2の周辺部に配置されている接続端子4の一部は、ワイヤボンディング8により第2の再配線板7の周辺部に形成されている接続端子9に接続されており、さらに第2の接続端子9は第2の再配線板7に設けられている貫通孔5bを介して、第2の再配線板7の他面上の任意の位置に形成されている第2の電極パッド10に接続されている。

【0032】このように、本実施の形態における半導体装置は、ベアチップ1の集積回路より引き出された狭ピッチで多端子である電極端子群は、第1の再配線板2上の第1の電極パッド3と第2の電極パッド10とに再配線されることにより、半導体装置の実装面積がベアチップ1の大きさにほぼ等しいチップサイズパッケージ(CSP)を実現でき、さらにベアチップ1の上下両面に形成された第1、第2の電極パッド3、10を備えることにより、フリップチップ実装のようにエリアレイ接続を行う際に広いパッドピッチを形成することができるので、接続信頼性に優れた3次元積層構造の半導体装置を得ることが可能となる。

【0033】（第2の実施の形態）図2は本発明の第2の実施の形態における半導体装置の断面構造を示すものであり、構成要素的には第1の実施の形態に類似しているため同一部分には同一符号を用いて第1の実施の形態における半導体装置との相違点について説明する。

【0034】第1の実施の形態の半導体装置は、図1(b)に見られるように、第1の再配線板2は集積回路が形成されているベアチップ1の主面上に載置されているが、本実施の形態では図2に示すように、集積回路が形成されているベアチップ11の主面は下向きに配置されており、第1の再配線板2はベアチップ11の裏面に載置されている。

【0035】したがって、ベアチップ11の周辺部に設けられた電極端子12は一旦第2の再配線板7の接続端子9にバンプ13を介して接続され、その一部は第2の再配線板7に設けられた貫通孔5bを介して第2の再配線板7の電極パッド10に接続され、電極端子12の一部はワイヤボンディング8により第1の再配線板2上の第1の電極パッド3に接続されている。

【0036】なお、上記第1および第2の実施の形態における第1の再配線板、第2の再配線板はその内部構



成、すなわち絶縁層や配線層について図示していないが、使用するベアチップの集積回路の種別により、いずれも複数の絶縁層内に形成した多層配線構造とすることが可能である。

【0037】(第3の実施の形態)次に、本発明の第3の実施の形態における半導体装置について図3を用いて説明する。

【0038】本実施形態の特徴とするところは、上記第1、第2の実施の形態で得られた半導体装置を3次元的に積み重ねてその半導体装置の両面に形成されているそれぞれ第1、第2の電極パッドをはんだボールバンプを介してフリップチップ実装することにより積層半導体装置を形成することができる点である。

【0039】図3は上記した第1の実施の形態における半導体装置21、22、23をそれぞれの電極パッドのバンプ接続により積み重ねた積層構造体を示すものであり、それぞれの半導体装置21、22、23の積層体はエポキシ樹脂等の熱硬化性樹脂24を用いてモールドされ、その最上面には抵抗、コンデンサ、コイル等のチップ部品または半導体素子等の電子部品25をリフローはんだ又は導電性接着剤を用いて実装して回路ブロックを構成することも可能である。

【0040】なお、半導体装置の積層時に、第1、第2の電極パッドの接続を上記バンプ接続の他に導電性接着剤または異方性導電膜をもって行うこともできる。

【0041】さらに、本実施の形態において説明した半導体装置を複数個積み重ねて積層半導体を製造する工程、および積層半導体装置の上面に電子部品を搭載する工程における接続方法および接続材料は、後述する各実施の形態における積層半導体装置の製造方法においても同様に採用することが可能である。

【0042】(第4の実施の形態)次に、本発明の第4の実施の形態について図4を用いて説明する。

【0043】本実施の形態における半導体装置の積層構造は上記第3の実施の形態の場合と同様であり、図4に示すように第2の実施の形態における半導体装置31、32、33をそれぞれの電極パッドをバンプ接続することにより積み重ねて積層半導体装置を構成しており、その積層半導体装置は第3の実施の形態の場合と同様に熱硬化性樹脂34によってモールドされ、その最上面には抵抗、コンデンサ、コイル等のチップ部品が実装されている。また、チップ部品に代えて半導体ベアチップを搭載することができる点も実施の形態3の場合と同様である。

【0044】(第5の実施の形態)次に、本発明の第5の実施の形態について図5(a)、(b)を参照しながら説明する。

【0045】上記本発明の第1、第2の実施の形態における半導体装置は図より明らかなように、いずれも第1の再配線板及び第2の再配線板はそれぞれ独立した1枚

の絶縁基板から構成されており、ベアチップの両面にそれぞれ配置された構造を備えているが、本実施の形態の半導体装置における第1の再配線板と第2の再配線板は連続して繋がった1枚の絶縁基板上に構成されている。

【0046】図5(a)は本実施の形態における半導体装置の一部透視状態の平面を示すものであり、(b)は図5(a)のA-A線における断面を示している。

【0047】図に示すように、ベアチップ41はその上面にベアチップ41の一辺にはほぼ等しい底辺とベアチップ41の対角線のほぼ半分を他の2辺とする4個の2等辺三角形の分割再配線板42a、42b、42cおよび42dよりなる第1の再配線板を載置しており、その上面にその一部が接続端子43となる第1の電極パッド44(各電極パッド間を接続する配線は図示を省略してある)が形成されている。

【0048】4個の分割再配線板42a、42b、42cおよび42dは図4(b)に示すように、それぞれその底辺において第2の再配線板45に連続して繋がって全体として1枚の絶縁基板より構成されている。第2の再配線板45の外面にはその一部が接続端子46となる第2の電極パッド47が形成されていて、第1の再配線板42の接続端子43と第2の再配線板45の接続端子46とは配線48によって接続されており、ベアチップ41の電極端子49をベアチップ41の両面に再配線した構造となっている。

【0049】(第6の実施の形態)次に、本発明の第6の実施の形態について図6により説明する。本実施の形態における半導体装置は、上記第5の実施の形態で得られた半導体装置50a、50bおよび50cを複数個積層して得られるものであり、それぞれ半導体装置の第1の電極パッド44が他の半導体装置の第2の電極パッド47とバンプ接続されて3次元構造の積層半導体装置を構成している。なお、本実施の形態の場合も積層半導体装置の最上面にはチップ部品または他の半導体ベアチップ等の電子部品25を搭載することができ、さらに積層半導体装置の全体を熱硬化性樹脂等の絶縁樹脂でモールドすることも可能である。

【0050】(第7の実施の形態)次に、本発明の第7の実施の形態における半導体装置の製造方法について図7(a)、(b)、(c)を用いて説明する。

【0051】図7は上記した第5の実施の形態の半導体装置の形成にも用いられるものであるが、第5の実施の形態と形状的に異なる点は、第1の再配線板を構成する分割再配線板52a、52b、52cおよび52d上面には、上記各実施の形態において示した形状の異なる接続端子は設けておらず、第1の電極パッド53と第2の電極パッド54の接続端子56を直接配線57によって接続している点である。

【0052】図7(a)は第2の再配線板55と、第2の再配線板55の四つの辺のそれぞれを底辺とする二等

辺三角形の4個の分割再配線板52a、52b、52cおよび52dよりなる第1の再配線板52と、を構成する一枚のフレキシブル配線基板の第2の再配線板55上にベアチップ51を載置した状態を示す平面図であり、ベアチップ51は集積回路や電極端子が形成されている面をフェイスダウンで第2の再配線板55に実装されているため、第2の再配線板55の第2の電極パッド54と配線等の一部を透視状態で示している。

【0053】次に、図7(b)は分割再配線板52aと52dをベアチップ51上に折り曲げた状態を示している。続いて同じように、分割再配線板52bと52cをベアチップ51上に折り曲げることにより、第5の実施の形態に類似した平面構造を有する第1の再配線板を載置した半導体装置を形成することができる。

【0054】図7(c)は図7(b)のA-A線における断面を示すものであり、第1の再配線板52と第2の再配線板55には共に両面にそれぞれ第1の電極パッド53と第2の電極パッド54および配線57が形成されていて、ベアチップ51の両面の任意の位置に外部回路への電極パッドを備えた構造となっており、チップサイズのパッケージ構造を有する半導体装置を製造することができる。

【0055】なお、本実施の形態においても第1の再配線板52および第2の再配線板55として多層配線基板を用いることも可能である。さらに本実施の形態では、第1の再配線板52および第2の再配線板55を構成する配線基板としてフレキシブル配線基板を用いた例について説明したが、第1の再配線板52または第2の再配線板55の少なくともいずれかを、例えばエポキシ樹脂等を主成分とする硬質な配線基板とし、第1の再配線板52の第1の電極パッド53と第2の再配線板55の第2の電極パッド54とを接続するための配線を形成する配線基板を、例えばポリイミドフィルム等の柔軟性を備えたフレキシブル配線基板とすることもできる。

【0056】(第8の実施の形態)次に、本発明の第8の実施の形態における半導体装置について図8(a)、(b)を参照しながら説明する。

【0057】図8(a)は本実施の形態の半導体装置の平面を示すものであり、図の透視状態で示しているベアチップ61の上面に載置されている第1の再配線板62の上面には、一部が接続端子63となっている第1の電極パッド64が設けられており、この第1の再配線板62は図8(b)に示すように第2の再配線板65の一つの辺と連続する1枚の配線基板における第1の再配線板62の部分のベアチップ61の上面に折り曲げた構成となっている。すなわち、第1の再配線板62と第2の再配線板65を展開するとベアチップ61の面積のほぼ2倍の面積に等しい矩形状の1枚の配線基板となり、上記第7の実施の形態の半導体装置の場合と比べてベアチップ上に折り重ねた第1の再配線板の形状が異なってい

る。

【0058】なお、第2の再配線板65の外面にはその一部が接続端子66となる第2の電極パッド67が形成されていて、第1の再配線板62の接続端子63と第2の再配線板65の接続端子66とは配線68によって接続され、ベアチップ61の電極端子69をベアチップ61の両面に再配線した構造となっている点は上記第5の実施の形態の場合と同様である。

【0059】(第9の実施の形態)次に、図9に示す本発明の第9の実施の形態は、第8の実施の形態で得られた半導体装置70a、70bおよび70cを3次元的に複数個積み重ねて積層半導体装置としたものであり、それぞれ半導体装置の第1の電極パッド64が他の半導体装置の第2の電極パッド67とバンプ接続されて積層半導体装置を構成している。

【0060】なお、本実施の形態の場合も積層半導体装置の最上面には、上記各実施の形態における積層半導体装置の場合と同じように、チップ部品または他の半導体ベアチップ等の電子部品25を搭載することができ、さらに積層された半導体装置はいずれも各半導体装置間にエポキシ樹脂等の熱硬化性樹脂を充填して全体をモールドすることも可能である。

【0061】上記各実施の形態における積層半導体装置はいずれも本発明に関わる半導体装置を3個積み重ねた例について説明しているが、必要に応じて2個または4個以上とすることも可能である。また同じく、積層半導体装置において用いられた半導体装置は同寸法のものを図示して説明しているが、必要とする回路ブロックに応じて異なる形状寸法のベアチップを用いた半導体装置を混在させて積み重ねることも可能である。

【0062】(第10の実施の形態)次に、本発明の第10の実施の形態について図10(a)、(b)、(c)を用いて説明する。

【0063】本実施の形態における半導体装置が上記各実施の形態と異なる点はベアチップの上面に折り曲げられる第1の再配線板の形状に関するものであり、第1の再配線板および第2の再配線板上に形成される第1、第2の電極パッドの形成方法や構成は、上記各実施の形態における半導体装置の場合と同様であるので、図示および詳しい説明は省略する。

【0064】図10(a)に示すように、ベアチップ71の上面に折り曲げられる第1の再配線板72は、第2の再配線板75の一辺の長さと同じの長さを一辺とする長方形の2個の分割再配線板72a、72cと、第2の再配線板75の一辺の一部を一辺とする長方形の分割再配線板72b、72dより構成される。

【0065】まず、図10(a)に示すように、ベアチップ71をベアチップ71とほぼ同じ面積を有する第2の再配線板75上にフェイスダウン実装し、次に分割再配線板72a、72dを図10(b)に示すようににベア

13

チップ71の上面に折り曲げ、さらに分割再配線板72b、72cをベアチップ71上に折り曲げることにより、図10(c)に示すようにベアチップ71のほぼ全面に第1の再配線板が載置された半導体装置とすることができ、ベアチップ71の両面に電極パッドを載置した半導体装置を構成することができる。

【0066】(第11の実施の形態)次に、本発明の第11の実施の形態について図11(a)、(b)を用いて説明する。図11(a)は上記本発明の各実施の形態における半導体装置の断面形状を一部拡大して示すものであるが、本発明の各実施の形態において用いられるベアチップについて更に望ましい形状を提案するものである。

【0067】すなわち、ベアチップ81の断面形状としてその端部82は図11(a)に示すように角の部分研磨除去された角丸四角形状、または図11(b)に示すようにほぼ円弧状とすることが望ましく、このような断面形状とすることにより、第1の再配線板83と第2の再配線板84とを接続する部分に設けられた配線85にかかる機械的応力を緩和でき、第1の再配線板83と第2の再配線板84との接続信頼性を向上することができる。

【0068】(第12の実施の形態)以下に本発明の第12の実施の形態について説明する。図12は本発明の上記実施の形態1から11に記載した半導体装置を用いた携帯電話の回路ブロック図であり、本実施の形態では使用したLSIベアチップとして図に示すように破線で示す3個のSRAM、一点鎖線で示す2個のFlash Memory、同じくDSPとFlash MemoryまたはControl CPUとSRAMなどがそれぞれ積み重ねられて積層半導体装置を構成している。

【0069】図13は実施の形態12の携帯電話に用いられているマザー配線基板の部分断面図であり、ここでは図12において破線で示した3個のSRAM91、92、93よりなる一時記憶回路を、本発明の特徴とするそれぞれ第1の再配線板94および第2の再配線板95に設けられている電極パッド96を接続することによって、3次元的に積み重ねた積層半導体装置をマザー配線基板97に実装した状態を示している。

【0070】積層半導体装置98の上面およびマザー配線基板97の上面には抵抗、コンデンサまたはコイル等のチップ部品またはベアチップ等の半導体素子99が実装されている。

【0071】本発明の半導体装置の特徴とするところは、それぞれのLSIベアチップを独立した形態で、かつその両面に外部接続用の電極パッドを備えた再配線板を載置していることであり、それを実装する電子機器の機能に応じて個々にマザー配線基板に搭載することも、また個々の半導体装置を任意に複数個積み重ねて積層半導体装置としてマザー配線基板に搭載することも可能であ

14

るため、実装面積としてはベアチップの面積とほぼ等しい面積(CSP)であるにも拘わらず、回路設計の自由度を著しく高めることができる。

【0072】なお、本実施の形態では、本発明に拘わる半導体装置の応用例として携帯電話について説明したが、その他小型、軽量化を必要とする電子機器、例えばPDA(携帯情報端末)、デジタルビデオカメラ(DVC)、デジタルスチルカメラ(DSC)等の小型携帯型電子機器または一般の電子機器に搭載することも可能である。

#### 【0073】

【発明の効果】上記各実施の形態より明らかなように、本発明は、主面上に集積回路等が形成された半導体素子の両面に第1の再配線板と第2の再配線板とをそれぞれ載置し、その再配線板の上面に設けられた電極パッドと主面上に形成された半導体素子の電極端子から引き出された配線とを任意に電気的接続することにより、第1、第2の再配線板の任意の位置に半導体素子の電極端子を再配線して設ける構成として半導体装置を形成しているため、その半導体装置を必要に応じて複数個積み重ねて相互に電気接続した積層半導体装置とすることができ、電子機器のマザー配線基板等の上面に半導体素子の面積にほぼ等しい面積で高密度実装、すなわちチップサイズパッケージ(CSP)することが可能となり、携帯電話等の小型、軽量化に寄与することができ、さらに電子機器の形状を大きくすることなく機能を向上させることができる。

#### 【図面の簡単な説明】

【図1】(a)は本発明の第1の実施の形態における半導体装置の平面図

(b)は同図(a)のA-A線における断面図

【図2】同第2の実施の形態における半導体装置の断面図

【図3】同第3の実施の形態における積層半導体装置の断面図

【図4】同第4の実施の形態における積層半導体装置の断面図

【図5】(a)は同第5の実施の形態における半導体装置の平面図

(b)は同図(a)のA-A線における断面図

【図6】同第6の実施の形態における積層半導体装置の断面図

【図7】(a)および(b)は同第7の実施の形態における半導体装置の製造方法を説明する展開平面図

(c)は同図(b)の一部折り曲げ平面図のA-A線における断面図

【図8】(a)は同第8の実施の形態における半導体装置の平面図

(b)は同図(a)のA-A線における断面図

【図9】同第9の実施の形態における積層半導体装置の



15

## 断面図

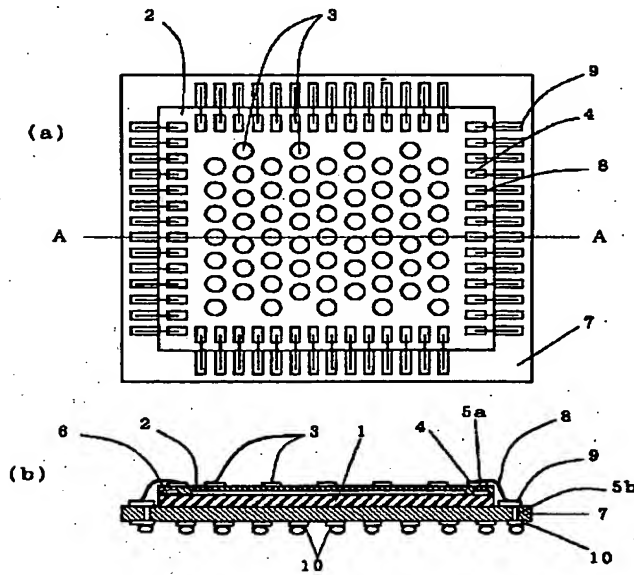
【図10】(a)～(c)は同第10の実施の形態における半導体装置の製造方法を説明する展開平面図

【図11】(a)および(b)は本発明の第11の実施の形態における半導体装置の一部拡大断面図

【図12】本発明の第12の実施の形態における電子機器の回路ブロック図

【図13】同電子機器に搭載された配線基板の一部拡大\*

【図1】



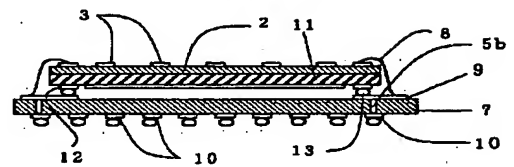
16

## \*断面図

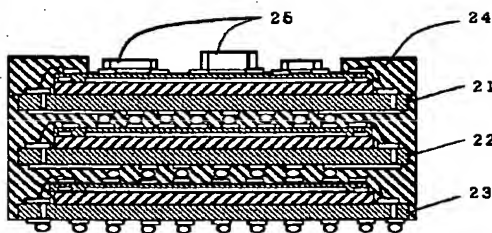
## 【符号の説明】

- 1 半導体基板（ベアチップ）
- 2 第1の再配線板
- 3 第1の電極パッド
- 6 電極端子
- 7 第2の再配線板
- 10 第2の電極パッド

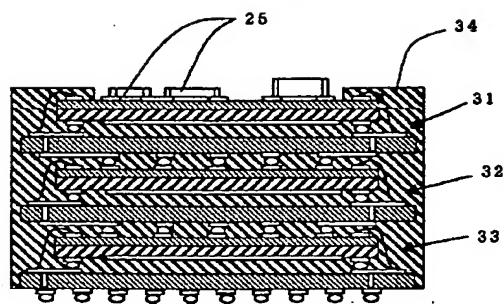
【図2】



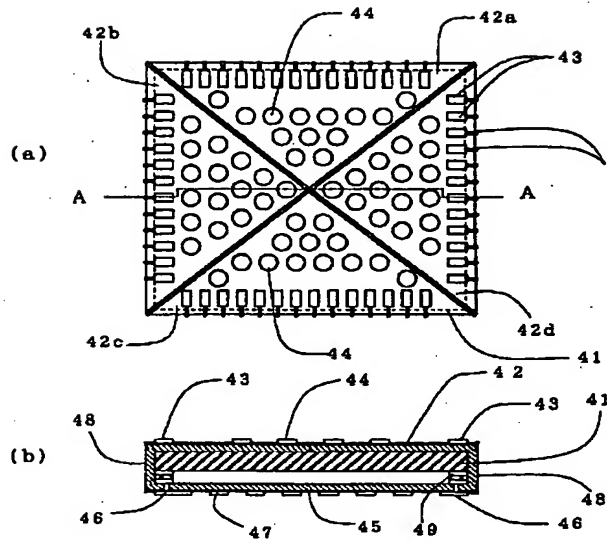
【図3】



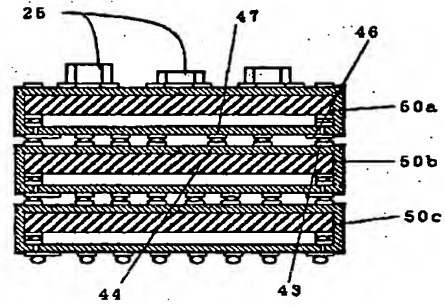
【図4】



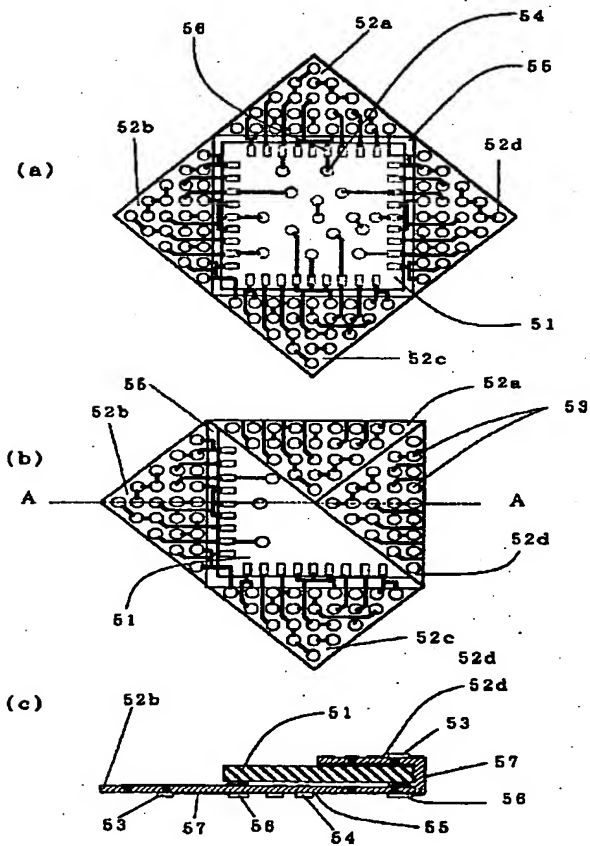
【図5】



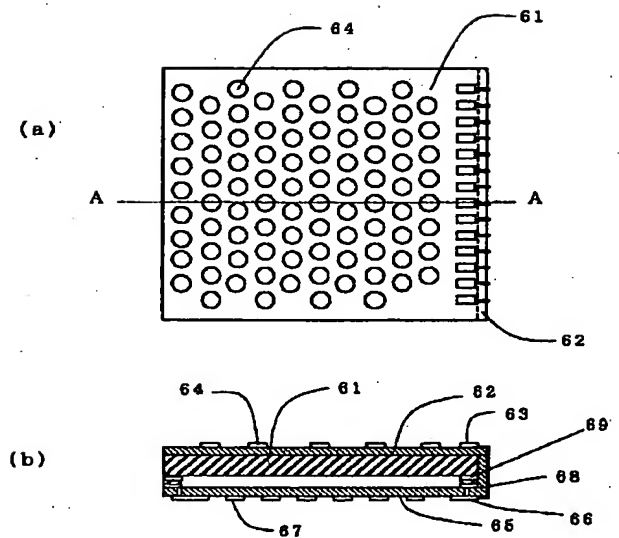
【図6】



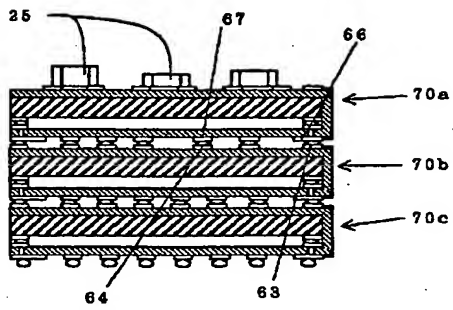
【図7】



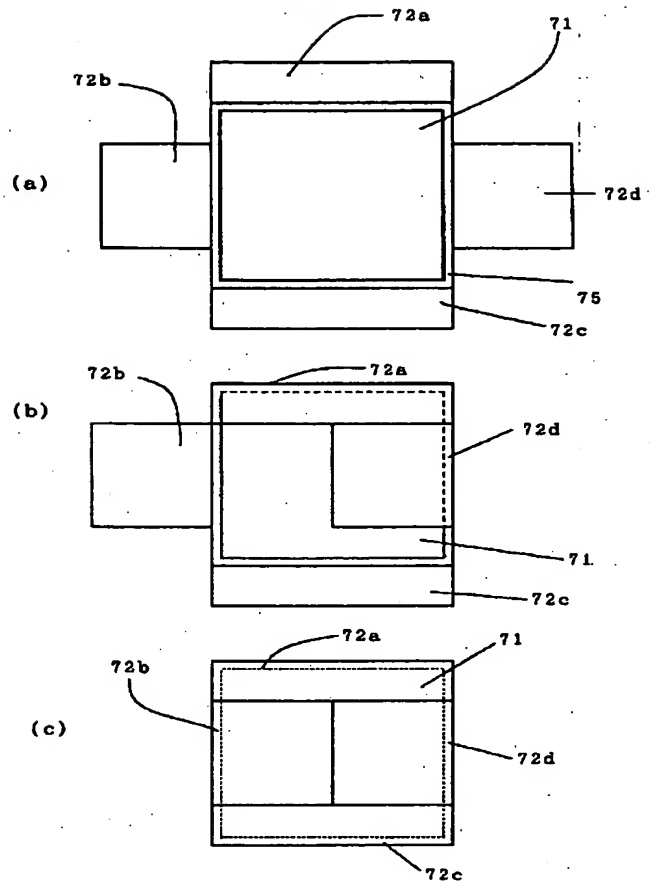
【図8】



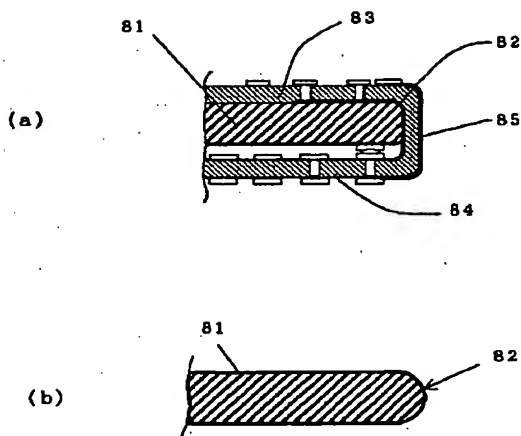
【図9】



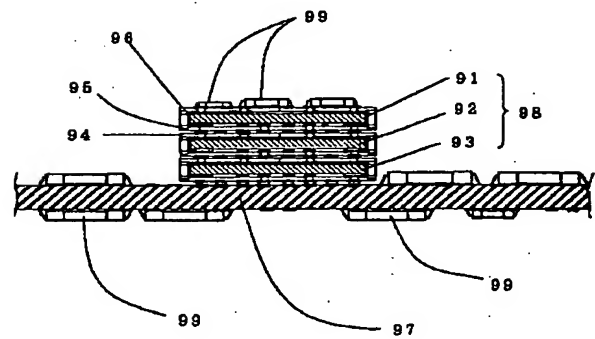
【図10】



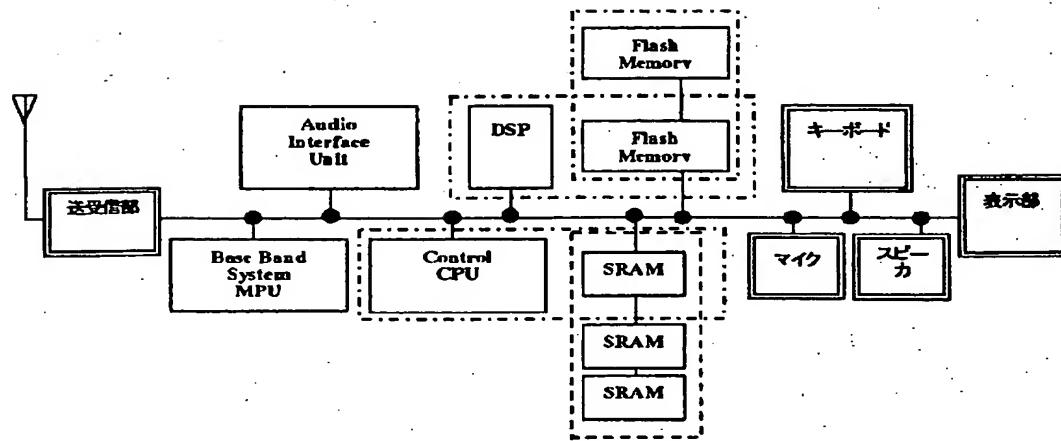
【図11】



【図13】



【図12】



フロントページの続き

(72)発明者 富田 佳宏  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 西山 東作  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内